

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2000-114309

(43)Date of publication of application : 21.04.2000

(51)Int.Cl.

H01L 21/60

B05D 5/12

B32B 3/10

B32B 7/02

(21)Application number : 10-294459

(71)Applicant : YAMAHA CORP

(22)Date of filing : 01.10.1998

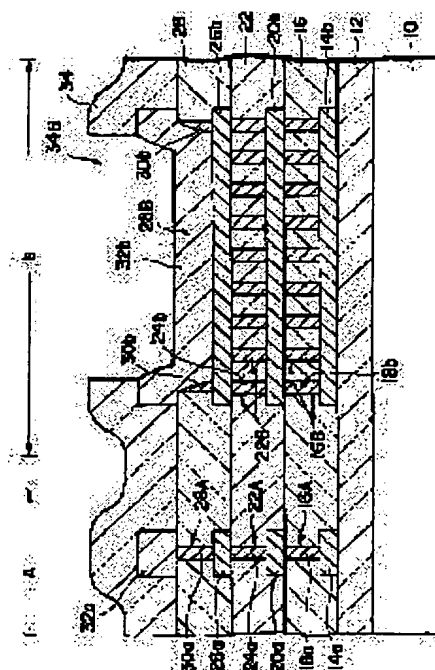
(72)Inventor : YAMAHA TAKAHISA

(54) BONDING PAD STRUCTURE FOR SEMICONDUCTOR DEVICE

(57)Abstract:

PROBLEM TO BE SOLVED: To prevent peeling or cracking of an applied insulating film which constitutes an interlayer insulating film in a bonding pad structure for a semiconductor device.

SOLUTION: A pad layer 14b, an interlayer insulating film 16, a pad layer 20b, an interlayer insulating film 22, a pad layer 26b, and an interlayer insulating film 28 are successively formed on an insulating film 12 for covering the surface of a semiconductor substrate 10 into a laminated state. Both insulating films 16 and 22 contain applied insulating films, such as SOG(spin-on-glass), etc., and the upper surfaces of the films 16 and 22 are flattened through CMP (chemical mechanical polishing), etc. Plural of connection holes 16B and 22B are respectively made through the insulating films 16 and 22 and connection plugs 18b and 24b of W, etc., are respectively buried in the holes 16B and 22B. A connection hole 28B is made through the insulating film 28, and a pad layer 32b is formed in the hole 28B in such a way that the layer 32b comes directly into contact with the pad layer 26b. At bonding wires to the pad layer 32b, the connection plugs 18b and 24b reduce the bonding stresses exerted on the insulating films 16 and 22 below the connection hole 28B.



LEGAL STATUS

[Date of request for examination]

01.10.1998

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

2974022

[Date of registration]

03.09.1999

[Number of appeal against examiner's decision
of rejection]

[Date of requesting appeal against examiner's
decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19)日本国特許庁(JP)

(12) 公開特許公報(A)

(11)特許出願公開番号

特開2000-114309

(P2000-114309A)

(43)公開日 平成12年4月21日(2000.4.21)

(51)Int.Cl. ⁷	識別記号	FI	テマコード [*] (参考)
H01L 21/60	301	H01L 21/60	301N 4D075
B05D 5/12		B05D 5/12	D 4F100
B32B 3/10		B32B 3/10	5F044
7/02	104	7/02	104

審査請求 有 請求項の数1 FD (全9頁)

(21)出願番号 特願平10-294459

(22)出願日 平成10年10月1日(1998.10.1)

(71)出願人 000004075

ヤマハ株式会社

静岡県浜松市中沢町10番1号

(72)発明者 山本 隆久

静岡県浜松市中沢町10番1号ヤマハ株式会社内

(74)代理人 100075074

弁理士 伊沢 敏昭

Fターム(参考) 4D075 CA23 DC22

4F100 AB33B AB33D AR00C AR00E

AT00A BA11 CB41 JC04B

JC04D JK10 JK13

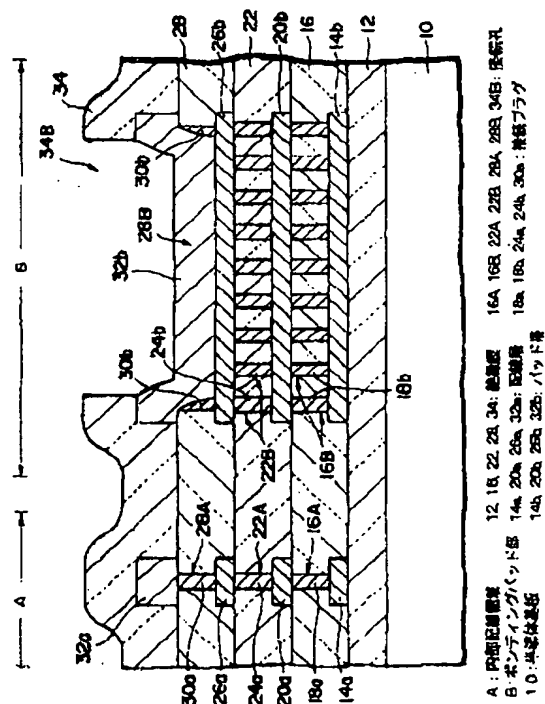
5F044 EE04 EE08 EE11 EE21

(54)【発明の名称】 半導体装置のボンディングパッド構造

(57)【要約】

【課題】 半導体装置のボンディングパッド構造において層間絶縁膜を構成する塗布絶縁膜に剥がれやクラックが生ずるのを防ぐ。

【解決手段】 半導体基板10の表面を覆う絶縁膜12の上にパッド層14b、層間絶縁膜16、パッド層20b、層間絶縁膜22、パッド層26b及び層間絶縁膜28を積層状に形成する。絶縁膜16、22は、いずれもSOG等の塗布絶縁膜を含み、上面がCMP等により平坦化される。絶縁膜16、22には複数の接続孔16B、22Bをそれぞれ設け、接続孔16B、22BにはW等の接続プラグ18b、24bをそれぞれ埋設する。絶縁膜28には接続孔28Bを設け、接続孔28B内でパッド層26bと直接接触するようにパッド層32bを形成する。層32bに接続ワイヤをボンディングする際に、接続プラグ18b、24bは、接続孔28Bの下方で絶縁膜16、22に加わるボンディング応力を軽減する。



【特許請求の範囲】

【請求項1】 半導体基板の一方の主面を覆う絶縁膜の上に第1のパッド層に重ねて第1の層間絶縁膜を形成し、該第1の層間絶縁膜の上に第2のパッド層を形成し、このように第1～第n（nは3以上の整数）のパッド層と第1～第（n-1）の層間絶縁膜とを交互に重ねて積層状に形成し、前記第1～第nのパッド層を相互接続した半導体装置のボンディングパッド構造であって、前記第（n-1）の層間絶縁膜より下の各層間絶縁膜は塗布絶縁膜を含むと共に上面が平坦化されており、前記第（n-1）の層間絶縁膜より下の各層間絶縁膜にはその上下のパッド層をつなぐように比較的小サイズの複数の接続孔を設けると共に該複数の接続孔のうちの各接続孔には該上下のパッド層を相互接続するように接続プラグを埋設し、前記第（n-1）の層間絶縁膜には前記第（n-1）のパッド層に対応した比較的大サイズの接続孔を設け、前記第nのパッド層を前記比較的大サイズの接続孔内で前記第（n-1）のパッド層と直接接触させたことを特徴とする半導体装置のボンディングパッド構造。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】この発明は、LSI等の半導体装置のボンディングパッド構造に関し、特にn（nは3以上の整数）層のパッド層と（n-1）層の層間絶縁膜とを有するボンディングパッド構造において最も上の層間絶縁膜より下の各層間絶縁膜に複数の接続孔を設けると共に該複数の接続孔にそれぞれ複数の接続プラグを埋設することにより最も上のパッド層への接続ワイヤのボンディングの際に塗布絶縁膜に剥がれやクラックが生ずるのを抑制するようにしたものである。

【0002】

【従来の技術】従来、ボンディングパッド部を有する半導体装置としては、図7～10に示すものが知られている（例えば、特開平9-219451号公報参照）。

【0003】図7に示される半導体装置において、半導体基板1の表面を覆う絶縁膜2の上には、1層目の配線層3a及びパッド層3bが形成される。配線層3aは、半導体基板1に形成された集積回路内の内部配線領域Aに属し、パッド層3bは、領域Aの周辺に配置されるボンディングパッド部Bに属する。

【0004】絶縁膜2の上には、配線層3a及びパッド層3bを覆って絶縁膜4が形成され、絶縁膜4は、CMP（化学・機械研磨）処理により上面が平坦化される。絶縁膜4には、ホトリソグラフィ及びドライエッチング処理により配線層3aに対応した接続孔4Aと、パッド層3bに対応した複数の接続孔4Bとが形成され、接続孔4A、4Bにはそれぞれ接続プラグ5a、5bが埋設される。接続プラグ5a、5bの形成方法としては、タングステン（W）等の導電材層を接続孔4A、4Bを埋

めるように絶縁膜4の上に形成した後、絶縁膜4の上面が露呈するまで導電材層をエッチバックする方法が用いられる。

【0005】絶縁膜4の上には、2層目の配線層6a及びパッド層6bが形成される。配線層6aは、接続プラグ5aを介して配線層3aに接続され、パッド層6bは、複数の接続プラグ5bを介してパッド層3bに接続される。

【0006】絶縁膜4の上には、配線層6a及びパッド層6bを覆って絶縁膜7が形成され、絶縁膜7は、CMP処理により上面が平坦化される。絶縁膜7には、ホトリソグラフィ及びドライエッチング処理により配線層6aに対応した接続孔7Aと、パッド層6bに対応した複数の接続孔7Bとが形成され、接続孔7A、7Bには、それぞれW等の導電材からなる接続プラグ8a、8bが埋設される。接続プラグ8a、8bの形成方法としては、接続プラグ5a、5bに関して前述した方法が用いられる。

【0007】絶縁膜7の上には、3層目の配線層9a及びパッド層9bが形成される。配線層9aは、接続プラグ8aを介して配線層6aに接続され、パッド層9bは、複数の接続プラグ8bを介してパッド層6bに接続される。

【0008】図8に示される半導体装置において、内部配線領域Aの配線構造は、図7に示した内部配線領域Aの配線構造と同様であり、同様の部分には同様の符号を付して詳細な説明を省略する。

【0009】図8のボンディングパッド部Bにおいて、絶縁膜2の上には絶縁膜4が形成されると共に絶縁膜4の上には絶縁膜7が形成される。絶縁膜7の上には、配線層9aの形成工程を流用してパッド層9bが形成される。

【0010】図9に示される半導体装置において、内部配線領域Aの配線構造は、図7に示した内部配線領域Aの配線構造と同様であり、同様の部分には同様の符号を付して詳細な説明を省略する。

【0011】図9のボンディングパッド部Bにおいて、絶縁膜2の上には絶縁膜4が形成される。絶縁膜4の上には、配線層6aの形成工程を流用してパッド層6bが形成される。

【0012】絶縁膜4の上には、配線層6a及びパッド層6bを覆って絶縁膜7が形成され、絶縁膜7は、CMP処理により上面が平坦化される。絶縁膜7には、ホトリソグラフィ及びドライエッチング処理により配線層6aに対応した接続孔7Aと、パッド層6bに対応した接続孔7Sとが形成される。接続孔7Sは、接続ワイヤのボンディングを可能にするため、接続孔7Aより大きなサイズで形成される。

【0013】接続孔7Aを埋め且つ接続孔7Sを覆うように絶縁膜7の上にW等の導電材層を形成した後、絶縁

膜7の上面が露呈するまで導電材層をエッチバックすることによりW等の導電材からなる接続プラグ8aが接続孔7A内に形成される。この時、接続孔7S内には、側壁に沿って薄い導電材層(図示せず)が残存するものの、殆どの導電材層がエッチバック時のエッチングにより除去される。この結果、パッド層6bの上面が接続孔7S内に露呈される。

【0014】接続プラグ8a及び接続孔7Sを覆うように絶縁膜7の上に配線材層を被着してパターンニングすることにより配線層9a及びパッド層9bが形成される。パッド層9bは、接続孔7S内でパッド層6bと直接接触するように形成される。

【0015】図10に示される半導体装置において、半導体基板1の表面を覆う絶縁膜2の上には、図7に関して前述したと同様にして1層目の配線層3a及びパッド層3bが形成される。絶縁膜2の上には、配線層3a及びパッド層3bを覆って絶縁膜4が形成され、絶縁膜4は、CMP処理により上面が平坦化される。

【0016】絶縁膜4には、図9に関して前述した接続孔7A、7Sと同様にして配線層3aに対応した小サイズの接続孔4Aと、パッド層3bに対応した大サイズの接続孔4Sとが形成される。図9に関して前述した接続プラグ8aと同様にして接続孔4A内にW等の導電材からなる接続プラグ5aが形成される。図9に関して前述した配線層9a及びパッド層9bと同様にして2層目の配線層6a及びパッド層6bが絶縁膜4の上に形成される。配線層6aは、接続プラグ5aを介して配線層3aに接続され、パッド層6bは、接続孔4S内でパッド層3bと直接接触する。

【0017】絶縁膜4の上には、配線層6a及びパッド層6bを覆って絶縁膜7が形成され、絶縁膜7は、CMP処理により上面が平坦化される。絶縁膜7には、ホトリソグラフィ及びドライエッチング処理により配線層6aに対応した小サイズの接続孔7Aと、パッド層6bに対応した大サイズの接続孔7Sとが形成される。

【0018】図10の半導体装置によると、接続孔7Aの深さaに比べて接続孔7Sの深さbの方が大きいので、接続孔7A、7Sを形成するための選択的ドライエッチング処理では、接続孔7Aが深さaに達した後も接続孔7Sが深さbに達するまで接続孔7Aの形成箇所をオーバーエッチングする必要があり、接続孔7Aのサイズが設計値より相当に大きくなるという問題点がある。

【0019】このような問題点を解決するために提案されたのが、図7～9に示す半導体装置である。すなわち、図7の半導体装置では、接続孔4Aと接続孔4Bとで深さをほぼ同一にすると共に接続孔7Aと接続孔7Bとで深さをほぼ同一にしたので、上記した問題点を解決することができる。また、図8の半導体装置では、ボンディングパッド部Bに接続孔を設けないようにしたので、上記した問題点を解決することができる。さらに、

図9の半導体装置では、接続孔7Aと接続孔7Sとで深さをほぼ同一にしたので、上記した問題点を解決することができる。

【0020】

【発明が解決しようとする課題】図7又は図8に示したボンディングパッド構造によると、接続ワイヤがボンディングされるパッド層が単一のパッド層9bからなっているため、十分なボンディング強度を得るのが容易でないという問題点がある。例えば、Al合金からなるパッド層9bにAuワイヤをボンディングすると、高温放熱後のシェアテストでせん断強度の低下が認められることがある。これは、パッド層9bが薄いため、ボンディング部へのAlの供給が不十分になることによるものと考えられている(詳しくは、特開平7-335690号公報参照)。

【0021】また、図8又は図9に示したボンディングパッド構造によると、パッド層9bの下に絶縁膜4、7又はパッド層6bの下に絶縁膜4として有機系又は無機系のSOG(スピン・オン・ガラス)等の塗布絶縁膜を含む積層膜を用いた場合、ボンディング時の熱と圧力により塗布絶縁膜に剥がれやクラックが生じ、信頼性の低下を招くことがある。

【0022】この発明の目的は、層間絶縁膜として塗布絶縁膜を含む積層膜を用いた場合に塗布絶縁膜に剥がれやクラックが生ずるのを抑制することができる新規な半導体装置のボンディングパッド構造を提供することにある。

【0023】

【課題を解決するための手段】この発明に係る半導体装置のボンディングパッド構造は、半導体基板の一方の上面を覆う絶縁膜の上に第1のパッド層を重ねて第1の層間絶縁膜を形成し、該第1の層間絶縁膜の上に第2のパッド層を形成しというように第1～第n(nは3以上の整数)のパッド層と第1～第(n-1)の層間絶縁膜とを交互に重ねて積層状に形成し、前記第1～第nのパッド層を相互接続した半導体装置のボンディングパッド構造であって、前記第(n-1)の層間絶縁膜より下の各層間絶縁膜は塗布絶縁膜を含むと共に上面が平坦化されており、前記第(n-1)の層間絶縁膜より下の各層間絶縁膜にはその上下のパッド層をつなぐように比較的小サイズの複数の接続孔を設けると共に該複数の接続孔のうちの各接続孔には該上下のパッド層を相互接続するように接続プラグを埋設し、前記第(n-1)の層間絶縁膜には前記第(n-1)のパッド層に対応した比較的大サイズの接続孔を設け、前記第nのパッド層を前記比較的大サイズの接続孔内で前記第(n-1)のパッド層と直接接触させたことを特徴とするものである。

【0024】この発明に係る半導体装置のボンディングパッド構造によれば、第(n-1)の層間絶縁膜(最も上の層間絶縁膜)より下の各層間絶縁膜は、有機系又は

無機系のSOC等の塗布絶縁膜を含むと共に上面がCMP処理等により平坦化される。第 $(n-1)$ の層間絶縁膜より下の各層間絶縁膜には複数の接続孔が設けられると共に該複数の接続孔にはそれぞれW等の導電材からなる複数の接続プラグが埋設される。第 n のパッド層(最も上のパッド)層に接続ワイヤをボンディングする際には、第 $(n-1)$ のパッド層とその下の第 $(n-2)$ のパッド層との間の層間絶縁膜に設けた複数の接続孔にそれぞれ複数の接続プラグが埋設されているので、該層間絶縁膜に加わるボンディング応力が該複数の接続プラグにより軽減される。このことは、第 $(n-2)$ のパッド層とその下の第 $(n-3)$ のパッド層との間に設けた層間絶縁膜についても同様である。従って、塗布絶縁膜を含む各層間絶縁膜においては、ボンディング時に塗布絶縁膜に剥がれやクラックが生ずるのを抑制することができる。

【0025】

【発明の実施の形態】図1、2は、この発明の一実施形態に係る半導体装置を示すものであり、図1は、図2の平面図においてX-X'線に沿う断面に相当する。図1、2に示す実施形態に関しては、4層配線構造を有する半導体装置にこの発明を適用した例を説明する。

【0026】シリコン等の半導体基板10の表面を覆うシリコンオキサイド等の絶縁膜12の上には、1層目の配線層14a及びパッド層14bが形成される。配線層14aは、半導体基板10に形成された集積回路内の内部配線領域Aに属し、パッド層14bは、領域Aの周辺に配置されるボンディングパッド部Bに属する。領域Aの周辺には、Bのような多数のボンディングパッド部が配置される。

【0027】配線層14a及びパッド層14bは、絶縁膜12の上に図3に示すような配線材層14を形成した後、この配線材層14をホトリソグラフィ及びドライエッチング処理によりパターンニングすることにより形成される。配線材層14は、一例として、下から順に厚さ15nmのTi層50、厚さ400nmのAl-0.5wt%Cu合金層52、厚さ10nmのTi層(抵抗低減膜)54及び厚さ40nmのTiN層(反射防止膜)56をスパッタ法で被着することにより形成される。パッド層14bのサイズは、例えば $70\mu\text{m} \times 70\mu\text{m}$ とすることができる。

【0028】絶縁膜12の上には、絶縁膜14a及びパッド層14bを覆って第1の層間絶縁膜16が形成される。絶縁膜16は、一例として図4に示すように形成される。すなわち、絶縁膜12の上には、プラズマCVD法により配線層14a及びパッド層14bを覆って厚さ100nmのシリコンオキサイド膜60が形成される。次に、回転塗布法によりシリコンオキサイド膜60を覆って水素シルセスキオキサン樹脂を塗布し、その塗布膜に熱処理を施すことによりセラミック状のシリコンオ

キサイド膜62が平坦部で400nmの厚さになるように形成される。この後、プラズマCVD法によりシリコンオキサイド膜62を覆って厚さ1200nmのシリコンオキサイド膜64が形成される。

【0029】絶縁膜16の上面は、CMP処理により平坦化される。シリコンオキサイド膜64は、一例として、1層目の配線上で絶縁膜16の厚さが800nmとなるようにCMP処理される。この結果、IC(集積回路)チップ領域内の絶対残段差は、100nm程度に低減される。ここで、ICチップ領域とは、集積回路単位で半導体基板10を分断してICチップにされる領域であり、図1の例では、内部配線領域Aと、この領域Aの周辺に配置されたBのような多数のボンディングパッド部とを含む領域である。なお、絶縁膜16を平坦化するためには、エッチバック処理を用いることもできる。

【0030】絶縁膜16には、ホトリソグラフィ及びドライエッチング処理により配線層14aに対応した接続孔16Aと、パッド層14bに対応した多数(一例として81個)の接続孔16Bとが形成される。内部配線領域A内で最小の接続孔の直径をDとすると、多数の接続孔16Bのうちの各接続孔の直径は、 $2D$ 以下とするのが好ましい。その理由については図6を参照して後述する。一例として、領域A内で最小の接続孔の直径が $0.35\mu\text{m}$ である場合、接続孔16Bのうちの各接続孔の直径は、 $0.35\mu\text{m}$ とすることができる。多数の接続孔16Bは、図2に示すようにパッド層14b上にドットマトリクス状に配置される。隣り合う複数の接続孔16B間の間隔は、設計ルールで規定されている最小間隔以上の任意の間隔とすればよく、例えば $0.65\mu\text{m}$ とすることができる。

【0031】接続孔16A、16Bには、それぞれW等の導電材からなる接続プラグ18a、18bが埋設される。接続プラグ18aは、一例として図5に示すように形成され、接続プラグ18bは、接続プラグ18aの形成工程を流用して形成される。

【0032】図5の構造において、絶縁膜16の上には、接続孔16Aの内面を覆って厚さ15nmのTi層70及び厚さ100nmのTiN層72がスパッタ法で順次に形成される。Ti層70及びTiN層72の積層は、この後堆積されるW層74のための密着層として役立つものである。TiN層72の上には、接続孔16Aを埋めるように厚さ500nmのW層74がプラズマCVD法により形成される。この後、Ti層70、TiN層72及びW層74の積層を絶縁膜16の上面が露呈されるまでエッチバックすることにより接続孔16A内に残存するTi層70、TiN層72及びW層74からなる接続プラグ18aが得られる。なお、Ti層70及びTiN層72の積層を絶縁膜16の上に残すようにエッチバックを行なってもよい。

【0033】絶縁膜16の上には、前述した配線層14

a及びパッド層14bと同様にして2層目の配線層20a及びパッド層20bが形成される。配線層20aは、接続プラグ18aを介して配線層14aに接続され、パッド層20bは、多数の接続プラグ18bを介してパッド層14bに接続される。パッド層20bのサイズは、パッド層14bと同じく $70\mu\text{m}\times 70\mu\text{m}$ とすることができる。

【0034】配線層20aは、図5に示すように接続孔16Aの開口部において接続プラグ18aのTi層70、TiN層72及びW層74と接続される。このような接続状態は、パッド層20bと多数の接続プラグ18bのうちの各接続プラグとの接続部においても同様である。

【0035】絶縁膜16の上には、配線層20a及びパッド層20bを覆って第2の層間絶縁膜22が形成される。絶縁膜22は、図4に関して前述した絶縁膜16と同様にして形成されるもので、シリコンオキサイド膜62のような塗布絶縁膜を含んでいる。絶縁膜22の上面は、CMP処理等により絶縁膜16と同様にして平坦化される。

【0036】絶縁膜22には、ホトリソグラフィ及びドライエッチング処理により配線層20aに対応した接続孔22Aと、パッド層20bに対応した多数（一例として81個）の接続孔22Bとが形成され、接続孔22A、22Bには、それぞれW等の導電材からなる接続プラグ24a、24bが埋設される。接続プラグ24a、24bは、図5に関して前述したのと同様の方法で形成され、図5に示した接続プラグ18aと同様の構造を有する。

【0037】絶縁膜22の上には、前述した配線層14a及びパッド層14bと同様にして3層目の配線層26a及びパッド層26bが形成される。配線層26aは、接続プラグ24aを介して配線層20aに接続され、パッド層26bは、多数の接続プラグ24bを介してパッド層20bに接続される。パッド層26bのサイズは、パッド層20bと同じく $70\mu\text{m}\times 70\mu\text{m}$ とすることができる。配線層26aと接続プラグ24aとの接続状態及びパッド層26bと接続プラグ24bのうちの各接続プラグとの接続状態は、いずれも図5に示す配線層20aと接続プラグ18aとの接続状態と同様である。

【0038】絶縁膜22の上には、配線層26a及びパッド層26bを覆って第3の層間絶縁膜28が形成される。絶縁膜28は、図4に関して前述した絶縁膜16と同様にして形成されるもので、シリコンオキサイド膜62のような塗布絶縁膜を含んでいる。絶縁膜28の他の例としては、シリコンオキサイド膜62のような塗布絶縁膜を含まないものを用いてもよく、例えば高密度プラズマCVD法で形成したシリコンオキサイド膜からなる単層膜を用いることもできる。絶縁膜28の上面は、CMP処理等により絶縁膜16と同様にして平坦化され

る。

【0039】絶縁膜28には、ホトリソグラフィ及びドライエッチング処理により配線層26aに対応した比較的小さい接続孔28Aと、パッド層26bに対応した比較的大きな接続孔28Bとが形成される。内部配線領域A内で最小の接続孔の直径が $0.35\mu\text{m}$ である場合、接続孔28Bのサイズは、 $65\mu\text{m}\times 65\mu\text{m}$ とすることができる。

【0040】接続孔28A、28Bを形成するためのドライエッチング処理では、接続孔28B内でパッド層26bのTiN層及びTi層（図3の56、54に対応）がエッチング除去されてAl-Cu合金層（図3の52に対応）が露呈されるようにエッチング時間等の条件が設定される。このような処理によると、接続孔28B内にパッド層26bのAl-Cu合金層を露呈させることができるが、接続孔28A内に配線層26aのAl-Cu合金層が露呈し、エレクトロマイグレーション耐性の劣化やAlヒロックの発生を招くおそれがある。

【0041】そこで、接続孔28A内に確実にTiN層及びTi層を残す方法として次のような方法を用いることもできる。すなわち、配線層26a及びパッド層26bのいずれについてもTiN層及びTi層を残すようにドライエッチング処理により接続孔28A、28Bを形成した後、ボンディングパッド部Bを露呈し且つ内部配線領域Aを覆うようにホトリソグラフィ処理によりレジスト層を形成し、このレジスト層及び絶縁膜28をマスクとするドライエッチング処理により接続孔28B内でパッド層26bのTiN層及びTi層を除去してAl-Cu合金層を露呈させ、この後レジスト層を除去するようにしてもよい。このようにすると、接続孔28A内に配線層26aのAl-Cu合金層が露呈することがなく、エレクトロマイグレーション耐性の劣化やヒロックの発生を防止することができる（詳しくは、特開平7-335690号公報参照）。

【0042】接続孔28Aには、W等の導電材からなる接続プラグ30aが埋設される。接続プラグ30aは、図5に関して前述したのと同様の方法で形成され、図5に示した接続プラグ18aと同様の構造を有する。接続プラグ30aを構成するTi層、TiN層及びW層（図5の70、72、74に対応）をエッチバックする処理では、接続孔28Bの側壁に沿ってTi層、TiN層及びW層の積層30bが残存する。

【0043】接続プラグ30a、積層30b及び接続孔28Bを覆うように絶縁膜28の上に配線材層が被着される。配線材層としては、例えば下から順に厚さ15nmのTi層、厚さ1000nmのAl-O.5wt%Cu合金層及び厚さ40nmのTiN層（反射防止膜）がスパッタ法により被着される。そして、被着された配線材層をホトリソグラフィ及びドライエッチング処理によりパターンニングすることにより4層目の配線層32a及

びパッド層32bが形成される。この場合、Al-Cu合金層の下に15nmのTi層を省略してもよい。パッド層32bのサイズは、パッド層26bと同じく $70\mu\text{m} \times 70\mu\text{m}$ とすることができる。配線層32aは、接続プラグ30aを介して配線層26aに接続され、パッド層32bは、接続孔28B内で積層30b及びパッド層26bと直接接触する。上記のように15nmのTi層を省略すると、パッド層26b、32bのAl-Cu合金層同士が直接接触する。

【0044】絶縁膜28の上には、配線層32a及びパッド層32bを覆って保護膜34が形成される。保護膜34としては、例えば下から順に厚さ150nmのシリコンオキサイド膜及び厚さ1000nmのシリコンナイトライド膜がプラズマCVD法により形成される。

【0045】保護膜34には、ホトリソグラフィ及びドライエッチング処理によりパッド層32bに対応した接続孔34Bが形成される。接続孔34Bは、パッド層32bへのワイヤボンディングを可能にするもので、一例として $60\mu\text{m} \times 60\mu\text{m}$ のサイズにすることができる。

【0046】図6は、比較例に係るボンディングパッド部を示すもので、図1と同様の部分には同様の符号を付して詳細な説明を省略する。この例では、層間絶縁膜22の上面を平坦化するまでの処理が図1に関して前述したのと同様に行なわれる。

【0047】絶縁膜22には、ホトリソグラフィ及びドライエッチング処理により比較的小さいサイズの複数の接続孔22Bと、比較的大きなサイズの接続孔22Cとが形成される。複数の接続孔22Bのうちの各接続孔は、前述の最小接続孔の直径Dの2倍(2D)以下の直径を有するものであり、接続孔22Cは、2Dより大きい直径を有するものである。

【0048】図5に関して前述したのと同様の方法により複数の接続孔28B内に複数の接続プラグ24bがそれぞれ形成される。この時、接続孔22C内には、側壁に沿って前述の積層30bと同様の積層24cが残存する。通常、Wを堆積してエッチバックする処理では、直径Dの接続孔にWが丁度埋め込まれるようにWの堆積厚さやエッチバック量が決定される。このような条件の下では、接続孔22Cの直径が2Dより大きくなると、接続孔22CをWで十分に埋めるのが困難となる。このため、エッチバック処理では、接続孔22Cの側壁に沿って積層24cが残存し、接続孔22C内にパッド層26bの上面が露呈するようになる。

【0049】接続プラグ24b、積層24c及び接続孔22Cを覆うように絶縁膜22の上に図3の14のような配線材層を被着してパターニングすることにより3層目のパッド層26bが形成される。パッド層26bは、接続孔22C内では積層24c及びパッド層20bと直接接触し、接続孔22C外では接続プラグ24bを介し

てパッド層20bに接続される。

【0050】絶縁膜22の上には、パッド層26bを覆って層間絶縁膜28が図1で述べたと同様にして形成される。絶縁膜28には、図1で述べたと同様にしてパッド層26bに対応する接続孔28Bが形成される。図1に関して前述したと同様に接続孔(図1の28Aに対応)内に接続プラグ(図1の30aに対応)を形成すると、接続孔28Bの側壁に沿って積層30bが残存する。この後、図1で述べたと同様にして絶縁膜28上に配線材層を被着してパターニングすることによりパッド層32bが形成される。パッド層32bは、接続孔28B内で積層30b及びパッド層26bと直接接触する。

【0051】図6のボンディングパッド構造によると、パッド層32bには、接続孔22Cに対応する凹部32cが形成される。凹部32cは、パッド層32bに接続ワイヤをボンディングする際にボンディング不良を招く原因となるものであり、凹部32cが形成されないようにする必要がある。

【0052】図1のボンディングパッド部Bでは、絶縁膜16、22にそれぞれ設けられる接続孔16B、22Bのいずれについても直径を2D以下とすることにより直径Dの接続孔をW等で埋める際に接続孔16B、22BをW等で十分に埋めるようにしている。この結果、図1に示すように接続孔28B内に32cのような凹部がない平坦なパッド層32bが得られる。なお、2D以下の直径を有する接続孔が直径Dの接続孔をW等で埋める際に十分に埋め込み可能であることは既に知られている(例えば、特開平9-219451号公報参照)。

【0053】図1に示した実施形態によれば、パッド層32bに接続ワイヤをボンディングする際に層間絶縁膜22に加わるボンディング応力が多数の接続プラグ24bにより軽減されると共に層間絶縁膜16に加わるボンディング応力が多数の接続プラグ18bにより軽減される。従って、絶縁膜16、22のいずれにおいても、塗布絶縁膜に割れやクラックが生ずるのを抑制することができる。

【0054】また、接続ワイヤは、パッド層26bと直接接触するパッド層32bにボンディングされるので、十分なボンディング強度を得るのが容易となる。例えば、前述したようにパッド層26b、32bをAl合金層で構成して両者を直接接触させる構成とし、パッド層32bに接続ワイヤとしてAuワイヤ(金線)をボンディングした場合には、高温放置後にシェアテストを行なってもせん断強度の低下は認められなかった。これは、パッド層26b、32bからボンディング部に十分にAlが供給されたことによるものであると考えられる。

【0055】さらに、接続孔16Aと16B、接続孔22Aと22B、接続孔28Aと28Bとのいずれについても接続孔の深さがほぼ同一であるので、接続孔エッチング時のオーバーエッチングにより内部配線領域A内の

接続孔に孔サイズ増大が生ずるのを防止することができる。

【0056】この発明は、上記した実施形態に限定されるものではなく、種々の改変形態で実施可能なものである。例えば、4層配線構造に限らず、3層配線構造や5層配線構造等にもこの発明を適用することができる。また、配線材としては、Au合金の代りにAuを用いてもよい。

【0057】

【発明の効果】以上のように、この発明によれば、第1～第nのパッド層と第1～第(n-1)層の層間絶縁膜とを交互に重ねて積層状に形成すると共に第1～第nのパッド層を相互接続した半導体装置のボンディングパッド構造において、第(n-1)の層間絶縁膜より下の各層間絶縁膜を塗布絶縁膜を含む形で平坦状に形成し、第(n-1)の層間絶縁膜より下の各層間絶縁膜には複数の接続孔を設けると共に該複数の接続孔にはそれぞれ複数の接続プラグを埋設する構成にしたので、第nのパッド層に接続ワイヤをボンディングする際には層間絶縁膜に加わるボンディング応力が複数の接続プラグにより軽減され、塗布絶縁膜に剥がれやクラックが生ずるのを抑制することができる。従って、高信頼の半導体装置を実現できる効果が得られる。

【0058】また、第(n-1)の層間絶縁膜に設けた接続孔内において第nのパッド層を第(n-1)のパッド層に直接接触させる構成にしたので、第nのパッド層に接続ワイヤをボンディングする際に十分なボンディング強度を得るのが容易となる効果もある。

【0059】さらに、第(n-1)の層間絶縁膜より下の各層間絶縁膜の上面を平坦化すると共に第(n-1)の層間絶縁膜に設けた接続孔内で第nのパッド層を第(n-1)のパッド層に直接接触させる構成にしたので、各層間絶縁膜毎にボンディングパッド部と内部配線

領域とで接続孔の深さをほぼ同一とすることができ、接続孔エッチング時のオーバーエッチングにより一部の接続孔に不所望のサイズ増大が生ずるのを防止できる効果もある。

【図面の簡単な説明】

【図1】 この発明の一実施形態に係る半導体装置を示す断面図である。

【図2】 図1の半導体装置のボンディングパッド部を示す平面図である。

【図3】 図1の半導体装置に用いる配線材層を示す断面図である。

【図4】 図1の半導体装置の層間絶縁膜を示す断面図である。

【図5】 図1の半導体装置の層間接続部を示す断面図である。

【図6】 比較例に係るボンディングパッド部を示す断面図である。

【図7】 従来の半導体装置の一例を示す断面図である。

【図8】 従来の半導体装置の他の例を示す断面図である。

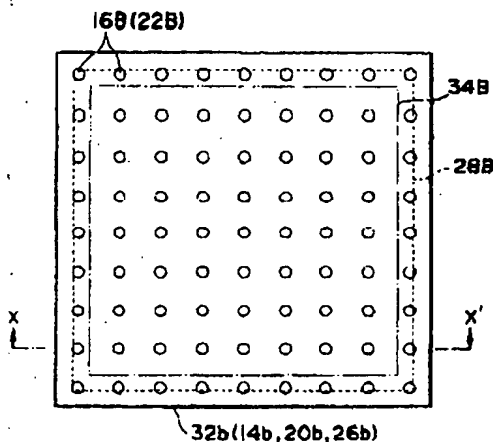
【図9】 従来の半導体装置の更に他の例を示す断面図である。

【図10】 従来の半導体装置の更に他の例を示す断面図である。

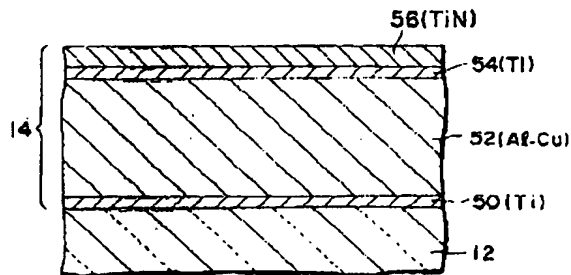
【符号の説明】

A：内部配線領域、B：ボンディングパッド部、10：半導体基板、12、16、22、28、34：絶縁膜、14a、20a、26a、32a：配線層、14b、20b、26b、32b：パッド層、16A、16B、22A、22B、28A、28B、34B：接続孔、18a、18b、24a、24b、30a：接続プラグ。

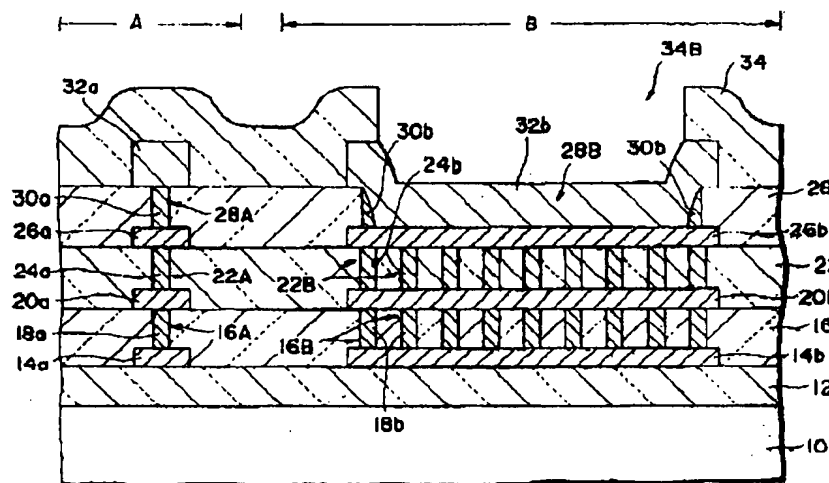
【図2】



【図3】

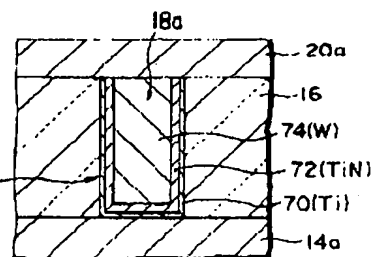


【図1】

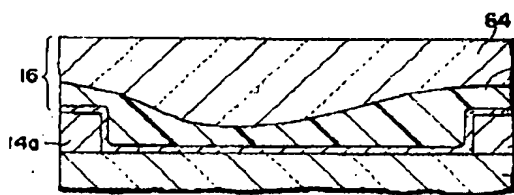


A: 内部配線領域 12, 16, 22, 28, 34: 絶縁膜 16A, 16B, 22A, 22B, 28A, 28B, 34B: 接触孔
 B: ボンディングパッド部 14a, 20a, 26a, 32a: 配線層 18a, 18b, 24a, 24b, 30a: 接続プラグ
 10: 半導体基板 14b, 20b, 26b, 32b: パッド層

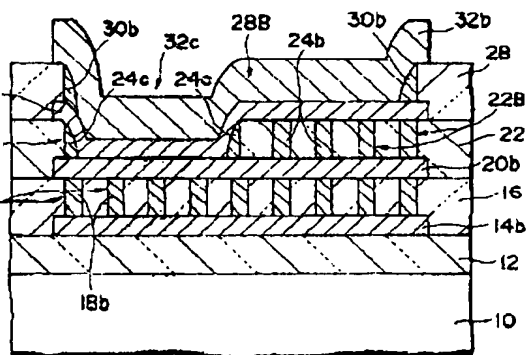
【図5】



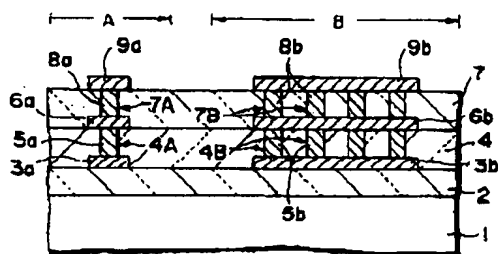
【図4】



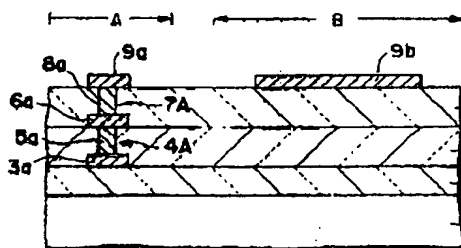
【図6】



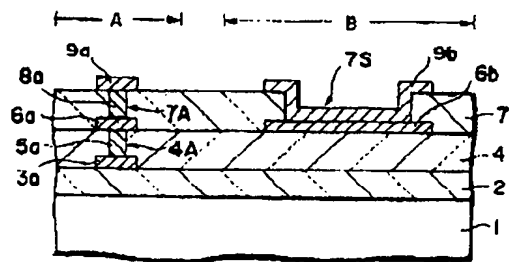
【図7】



【図8】



【図9】



【図10】

